

#2  
P. Br  
11-27-01  
500.40681X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): OHYANAGI, et al.  
Serial No.: Not assigned  
Filed: September 28, 2001  
Title: FIELD EFFECT TRANSISTOR AND SEMICONDUCTOR DEVICE  
MANUFACTURING METHOD  
Group: Not assigned



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

September 28, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the  
applicant(s) hereby claim(s) the right of priority based on Japanese  
Patent Application No.(s) 2001-064318 filed March 8, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone  
Registration No. 28,141

GEM/amr  
Attachment  
(703) 312-6600

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 8日

出 願 番 号

Application Number:

特願2001-064318

出 願 人

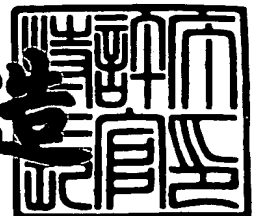
Applicant(s):

株式会社日立製作所

2001年 9月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3081517

【書類名】 特許願

【整理番号】 1100014551

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明の名称】 電界効果トランジスタ及び半導体装置の製造方法

【請求項の数】 7

【発明者】

    【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
                         株式会社 日立製作所 日立研究所内

    【氏名】 大柳 孝純

【発明者】

    【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
                         株式会社 日立製作所 日立研究所内

    【氏名】 渡辺 篤雄

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社 日立製作所

【代理人】

    【識別番号】 100075096

    【弁理士】

    【氏名又は名称】 作田 康夫

    【電話番号】 03-3212-1111

【手数料の表示】

    【予納台帳番号】 013088

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

特 2 0 0 1 - 0 6 4 3 1 8

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタ及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

第一導電型の半導体基板と、該半導体基板上に形成したゲート絶縁膜と、該ゲート絶縁膜上に形成したゲート電極と、前記ゲート電極の横側に形成したソース電極とドレイン電極と、前記ソース電極に接する第二導電型のソース領域と、前記ドレイン電極に接する第二導電型のドレイン領域とを備えた電界効果トランジスタにおいて、

前記ソース領域に接し、第二導電型のソース領域と第一導電型の半導体基板間に形成される接合よりも深くかつゲート電極に接するようにゲート絶縁膜のソース電極側端面直下よりドレイン電極側に入り込むゲートオーバーラップ構造の第一導電型のパンチスルーストッパー層と、前記ドレイン領域に接し、かつゲート絶縁膜に接するようにゲート絶縁膜のドレイン電極側の端面直下よりソース電極側に入り込むゲートオーバーラップ構造の第二導電型の電界緩和層とを有し、ソース電極に接する第二導電型の高濃度層とドレイン電極に接する第二導電型の高濃度層とが何れも前記ゲート絶縁膜には接触せずに、前記ゲート電極の両側に配置されていることを特徴とする電界効果トランジスタ。

【請求項 2】

第一導電型の半導体基板と、該半導体基板上に形成したゲート絶縁膜と、該ゲート絶縁膜上に形成したゲート電極と、前記ゲート電極の横側に形成したソース電極とドレイン電極と、前記ソース電極に接する第二導電型のソース領域と、前記ドレイン電極に接する第二導電型のドレイン領域とを備えた電界効果トランジスタにおいて、

前記ドレイン領域に接し、かつゲート絶縁膜に接するようにゲート絶縁膜のドレイン電極側の端面直下よりソース電極側に入り込むゲートオーバーラップ構造の第二導電型の電界緩和層を有し、該電界緩和層がゲート絶縁膜の端面直下よりソース電極側に向けて  $0.15 \mu\text{m}$  以上入り込んでいることを特徴とする電界効果トランジスタ。

【請求項 3】

請求項 1 に記載の電界効果トランジスタにおいて、

前記電界緩和層がゲート絶縁膜の端面直下よりソース電極側に向けて  $0.15 \mu\text{m}$  以上入り込んでいることを特徴とする電界効果トランジスタ。

【請求項 4】

請求項 1 から請求項 3 までのいずれかに記載の電界効果トランジスタにおいて、第二導電型である電界緩和層かつ／または第二導電型であるドレイン領域の表面に第一導電型の層を備えることを特徴とする電界効果トランジスタ。

【請求項 5】

請求項 1 から請求項 4 までのいずれかに記載の電界効果トランジスタにおいて、ゲート絶縁膜の下の半導体基板表面に第一導電型または第二導電型の不純物層を有することを特徴とする電界効果トランジスタ。

【請求項 6】

第一導電型の半導体基板と、該半導体基板上に形成したゲート絶縁膜と、該ゲート絶縁膜上に形成したゲート電極と、前記ゲート電極の横側に形成したソース電極とドレイン電極と、前記ソース電極に接する第二導電型のソース領域と、前記ドレイン電極に接する第二導電型のドレイン領域とを備えた電界効果トランジスタの製造方法において、

ゲート絶縁膜を形成した半導体基板にソース電極側のゲート絶縁膜端面直下よりドレイン電極側に向けて入り込むゲートオーバーラップ構造の第一導電型のパンチスルーストッパー層を形成する工程と、

ドレイン電極側のゲート絶縁膜端面直下よりソース電極側に入り込むゲートオーバーラップ構造の第二導電型の電界緩和層を形成する工程と、

ゲート電極を形成する工程と、

ゲート電極をマスクとして、ソース電極側または基板全面に第二導電型の低濃度の不純物層を形成する工程と、

絶縁膜を堆積後、該絶縁膜をドライエッチング法で取り除いてゲート電極側面に絶縁膜による側壁を形成する工程と、

ゲート電極及び前記側壁をマスクとして、基板全面に第二導電型の高濃度の不

純物層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 7】

第一導電型の半導体基板と、該半導体基板上に形成したゲート絶縁膜と、該ゲート絶縁膜上に形成したゲート電極と、前記ゲート電極の横側に形成したソース電極とドレイン電極と、前記ソース電極に接する第二導電型のソース領域と、前記ドレイン電極に接する第二導電型のドレイン領域とを備えた電界効果トランジスタにおいて、

ゲート絶縁膜を形成した半導体基板に、前記ゲート電極をマスクとして、前記ゲート絶縁膜と半導体基板界面に対して入射角  $10^{\circ}$  以上で、前記ゲート電極のソース電極側の端面直下からゲート絶縁膜の下に入り込むように第一導電型のパンチスルーストップ層を形成する工程と、

前記ゲート電極をマスクとして、前記ゲート絶縁膜と半導体基板界面に対して入射角  $10^{\circ}$  以上で、前記ゲート電極のドレイン電極側の端面直下よりゲート絶縁膜下に入り込むように第二導電型の電界緩和層を形成する工程と、

ゲート電極をマスクとして、ソース電極側または基板全面に第二導電型の低濃度の不純物層を形成する工程と、

絶縁膜を堆積後、絶縁膜をドライエッチング法などにより取り除いてゲート電極側面に絶縁膜による側壁を形成する工程と、

ゲート電極及び前記側壁をマスクとして、基板全面に第二導電型の高濃度の不純物層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ドレイン電極－基板（ドレイン電極－ソース電極）間の耐圧が 5 V より高い MOS 電界効果トランジスタに関する。

【0002】

【従来の技術】

フラッシュメモリなどには、メモリセルの書き込み、消去などに10V程度以上の電圧を印加するため、10V程度以上の耐圧のMOS電界効果トランジスタ(MOSFET)が必要である。特開平7-86580号公報に、耐圧30V程度以上の比較的高い耐圧のMOS電界効果トランジスタをソース電極に接している高濃度層に接する、ゲート絶縁膜よりは厚い絶縁膜を介してドレイン電極に接する高濃度層を配置して形成することが開示されている。

## 【0003】

また、耐圧10V~30V程度のMOS電界効果トランジスタは、いわゆるLDD(Lightly Doped Drain)構造を用いたりするものが知られている。このLDD構造では、ドレイン電極に接する高濃度層の端をゲート絶縁膜端から離して配置し、耐圧を高める。

## 【0004】

IEDM' 89(IEEE Electron Device Meeting 1989) p.617には、本発明のように非対称にドレイン側には電界緩和層をゲートオーバーラップ構造に、またソース側にはパンチスルーストッパー層(ハロ層)をゲートオーバーラップ構造に配置するMOSトランジスタ構造が示されている。

## 【0005】

## 【発明が解決しようとする課題】

しかしながら、この従来技術のMOS電界効果トランジスタでは、耐圧を確保するためには、これ以上の微細化は望めない。したがって、メモリセルの微細化はさらに進んでいくのに対して、フラッシュメモリ全体のチップサイズにしめる高耐圧MOS電界効果トランジスタのサイズが大きくなり、メモリチップの微細化が難しい。

## 【0006】

前記ではIEDM' 89(IEEE Electron Device Meeting 1989) p.617に開示した従来技術では、取り扱う電圧が3.5V程度以下の低い耐圧であり、本発明のように5V以上の高耐圧を扱う考慮がなされていない。

## 【0007】

本発明の目的は、微細化と耐圧との両立を可能にした高耐圧のMOS電界効果



トランジスタ、及びMOS電界効果トランジスタの製造方法の提供である。

【0008】

【課題を解決するための手段】

本発明のMOS電界効果トランジスタは、まず第一導電型の半導体基板と、その半導体基板上に形成したゲート絶縁膜と、そのゲート絶縁膜上に形成したゲート電極と、第二導電型のソース領域及びドレイン領域を備えていて、第二導電型の電界緩和層をドレイン領域に設け、またこの領域をゲート絶縁膜下に設けた、いわゆるゲートオーバーラップ構造とした。ここでゲートオーバーラップ構造とは、ゲート絶縁膜端面からゲート絶縁膜の下に接しながら入り込んだ構造である。

【0009】

従来技術のMOS電界効果トランジスタでは、N型チャネルMOS電界効果トランジスタを例にとると、電界緩和層とドレイン電極に接する高濃度層との距離が耐圧を決定する要因である。すなわち、第二導電型の電界緩和層と第一導電型の半導体基板の間に形成したPN接合による空乏層が、ドレイン電極に電圧を印加することで広がり、空乏層が第二導電型の高濃度層にぶつкаると、高濃度層端で電界が上昇して、アバランシェ降伏する。

【0010】

本発明のMOS電界効果トランジスタは、ゲートオーバーラップ構造であるので電界緩和層と高濃度層との距離をデバイスサイズの増加を伴うことなく拡大でき、耐圧が向上するので、耐圧が同じであれば、ゲート長を微細にできる。

【0011】

本発明のMOS電界効果トランジスタは、ソース側に、パンチスルーストッパ層を設けた。電界緩和層と基板との間に形成した空乏層は、ドレイン電圧の印加とともに広がっていく。ゲート長が微細化すると、ドレイン側の高濃度層端に空乏層がぶつかる前にソース側の高濃度層端に空乏層がぶつかり、パンチスルーと呼ばれる現象が起きる。このパンチスルーで耐圧が決まる。そこで、ソース側にパンチスルーストッパ層を設けて、空乏層がソース側の高濃度層へ広がることを抑制した。このようにして本発明のMOS電界効果トランジスタはゲート長

の微細化を可能にした。

【 0 0 1 2 】

本発明のMOS電界効果トランジスタは、ソース電極及びドレイン電極に接する高濃度層がゲート絶縁膜に接しない。ゲート絶縁膜に接しないということは、ゲート絶縁膜からある短距離離れて高濃度層が設置されることに他ならず、電界緩和層と高濃度層間の短距離をさらに広げることができるとともに、ゲート絶縁膜に直接かかる電圧を緩和できる。

【 0 0 1 3 】

すなわち、前記従来技術のIEDMのように高濃度層がゲート絶縁膜に接すると、例えばドレイン電圧が10Vでゲート電極が0Vの場合、ゲート絶縁膜に10Vの電圧が直接かかるので、ゲート絶縁膜を10Vの耐える厚さにせざるを得ない。このようにゲート絶縁膜を厚くすると、MOS電界効果トランジスタのしきい値電圧が上昇し、MOS電界効果トランジスタの性能が劣化する。

【 0 0 1 4 】

本発明のMOS電界効果トランジスタでは、高濃度層がゲート絶縁膜に接しないので、ゲート絶縁膜を従来技術のように厚くする必要はなく、MOS電界効果トランジスタの性能劣化を防ぐことができる。本発明のMOS電界効果トランジスタではフラッシュメモリに適用する耐圧クラスが5V～15V程度のMOS電界効果トランジスタである。

【 0 0 1 5 】

本発明のMOS電界効果トランジスタは、ゲート電極を形成した後で、全面に絶縁膜を堆積し、異方性ドライエッチング法でエッチバックして得たゲート電極側壁をマスクとして高濃度層を作成するので、上記電界緩和層と高濃度層との距離の問題がなく、ソース電極及びドレイン電極に接する高濃度層がゲート電極に対して対称に配置できるので、デバイスサイズを増加せずに耐圧が確保できる。

【 0 0 1 6 】

本発明は5V～15V程度の耐圧の場合に好適であるが、これ以上の耐圧即ち、耐圧クラスが15V～30Vクラス程度に適用するために、上記電界緩和層がゲート絶縁膜端面直下から、ソース電極側に向けて0.15 $\mu$ m以上延在すると

、電界緩和層と高濃度層間の距離が広がるだけでなくゲート絶縁層による電界緩和され、耐圧が向上し、ゲート長の微細化ができる。

## 【 0 0 1 7 】

前記 I E D M の例では、斜めイオン注入法で電界緩和層を作成することを前提としている。この斜めイオン注入法は、ゲート電極を作成後、ゲート電極をマスクとして、ビーム角を基板面法線に対し  $10^{\circ} \sim 45^{\circ}$  程度傾けてイオンを注入する。この注入法は、ゲート長  $0.35 \mu\text{m}$  以下の MOS トランジスタの製造で主流になってきたことから、電界緩和層としてはその後の拡散工程を含めてもゲート絶縁膜端から  $0.1 \mu\text{m}$  程度しかソース電極側に入り込まない。

## 【 0 0 1 8 】

図 2 は、電界緩和層と高濃度層との距離と耐圧の変化 ( $\Delta B V$ ) を、電界緩和層—高濃度層間距離が 0 のとき、すなわち電界緩和層と高濃度層とが重なっているときの耐圧を基準にした耐圧の変化 ( $\Delta B V$ ) で示す。実線 1 は、高濃度層位置をゲート絶縁膜端面に固定し、電界緩和層をゲート絶縁膜端からソース電極側に入り込ませた場合を示し、点線 2 は、電界緩和層位置をゲート絶縁膜端面に固定し、高濃度層をゲート絶縁膜端から離れた場合を示す。図 2 に示すように電界緩和層と高濃度層との距離が  $0.1 \mu\text{m}$  の場合は、実線 1 と点線 2 との差は小さいが、 $0.1 \mu\text{m}$  を超えると実線 1 で示す電界緩和層をゲート絶縁膜下に潜り込ませる場合の耐圧ははるかに大きくなる。これは、ドレイン電圧が印加されることにより、電界緩和層と基板間に形成した空乏層が広がっていく。その結果、ドレイン電極に印加した電圧は、この空乏層内で分担される。等電位線はドレイン電極に抜けるため、電界緩和層の上にゲート絶縁膜があると、直上には等電位線が抜けないため、等電位線は基板表面で大きく曲がり、ドレイン電極側へ抜ける。このように等電位線が曲がるため電界が緩和され、耐圧が大幅に向上する。

## 【 0 0 1 9 】

本発明の MOS 電界効果トランジスタは、電界緩和層をドレイン領域側からゲート電極に対してオーバーラップさせ、パンチスルーストッパー層をソース領域側からゲート電極に対してオーバーラップさせ、さらに高濃度層をゲート絶縁膜に接しないようゲート絶縁膜から離したので、ゲート長を微細化できる。また、

電界緩和層をゲート絶縁膜端面から  $0.15\mu\text{m}$  以上ソース電極側に入り込ませて、電界緩和層と高濃度層との間の距離を広げ、しかもゲート絶縁層で電界を緩和したので、耐圧の向上と、ゲート長の微細化とが可能になった。

## 【0020】

### 【発明の実施の形態】

以下、図面を参照しながら本発明を詳しく説明する。

## 【0021】

### 【実施例1】

図1は、本実施例のN型チャネルMOS電界効果トランジスタの断面図である。本実施例の電界効果トランジスタは図1に示すように、P型Si基板、またはP型Si基板、N型Si基板のどちらかにボロンなどのP型不純物イオンを注入することで形成したP型WELL領域101上に、ゲートシリコン酸化膜（ゲート絶縁膜）102と、リンをドーピングしたN型ポリシリコン膜とタングステンシリサイド膜との積層構造膜によるゲート電極103と、前記ゲート電極103の横側に形成したシリコン酸化膜による側壁104と、前記側壁104のどちらか一方に接する例えば砒素などをドーピングした高濃度N型層（ $N^+$ 層）150とこの高濃度N型層150とゲート絶縁膜間に形成した高濃度N型層よりは濃度の薄いN型層（ $N^-$ 層）151とによるソース領域105と、前記ソース領域105に接する側壁104とは反対側の側壁104に接する、例えば砒素などをドーピングした高濃度N型層（ $N^+$ 層）152によるドレイン領域106とを有し、さらに高濃度N型層（ $N^+$ 層）150によるソース領域より深く位置しゲート絶縁膜102に接するゲートオーバーラップ構造に形成したボロンなどをドーピングしたP型不純物層によるパンチスルーストッパー層108と、ゲート絶縁膜102とに接するゲートオーバーラップ構造に形成したリンや砒素などをドーピングしたN型不純物による電界緩和層107とを有する。なお、図1でLはゲート長を示す。

## 【0022】

本実施例では、ゲートオーバーラップ構造の電界緩和層107とゲート電極側面に形成した側壁104に接する $N^+$ 層152との間に空乏層が広がり、パンチ

スルーストッパー層 1 0 8 を設けることで、ソース側への空乏層の広がりが増加して耐圧が向上する。その結果、ゲート長  $L$  も微細にできる。

#### 【 0 0 2 3 】

図 1 では説明の都合上、ゲート絶縁膜 1 0 2 の下に配置した P 型のパンチスルーストッパー層 1 0 8 と N 型の電界緩和層 1 0 7 の間とが離れているが、MOS 電界効果トランジスタの耐圧とゲート長によっては、パンチスルーストッパー層 1 0 8 と N 型の電界緩和層 1 0 7 とが接していてもよい。なお、図 1 では N 型電界緩和層 1 0 7 の深さが  $N^+$  層 1 5 2 の深さより深い、N 型電界緩和層 1 0 7 の深さは  $N^+$  層 1 5 2 より浅くてもよい。また、N 型電界緩和層 1 0 7 は単層構造で示しているが、ソース領域 1 0 5 にある  $N^-$  層 1 5 1 に相当する層をさらに加えて、ドレイン抵抗を  $N^-$  層分だけ下げても良い。

#### 【 0 0 2 4 】

なお、本実施例は N 型チャネル MOS 電界効果トランジスタの場合を示したが、伝導型を逆にすれば P 型チャネル MOS 電界効果トランジスタにも同様に適用できる。

#### 【 0 0 2 5 】

##### 〔実施例 2〕

図 3 に本実施例の N 型チャネル MOS 電界効果トランジスタの断面図を示す。図 3 で図 1 と同じ符号は図 1 の同じ部分に対応する。本実施例においても実施例 1 と同様に P 型 WEL L 領域 1 0 1 上に、ゲートシリコン酸化膜(ゲート絶縁膜) 1 0 2 とゲート電極 1 0 3 と、前記ゲート電極の横側に形成した側壁 1 0 4 と、前記側壁の片側に接する高濃度 N 型層 ( $N^+$ ) 層 1 5 0 とこの高濃度 N 型層 1 5 0 とゲート絶縁膜 1 0 2 との間に形成した高濃度 N 型層よりは濃度の薄い N 型層 ( $N^-$  層) 1 5 1 とによるソース領域 1 0 5 と、前記ソース領域 1 0 5 に接する側壁とは反対側の側壁に接する高濃度 N 型層 1 5 2 によるドレイン領域 1 0 6 とを有し、リンや砒素などをドーピングした N 型不純物による電界緩和層 1 0 7 がゲート絶縁膜 1 0 2 端面より  $0.15\mu m$  以上ソース電極に向けてに入り込んでいる。図 3 において符号  $L$  が電界緩和層がゲート絶縁膜 1 0 2 端面からソース電極に向けて入り込んだ距離を表す。

## 【0026】

本実施例は、電界緩和層107がゲート絶縁膜下に $0.15\mu\text{m}$ 以上入り込むことにより、電界緩和層107と高濃度N型層152によるドレイン領域106との距離による電界緩和の効果に加え、ゲート絶縁膜102によって等電位線が曲がる電界緩和の効果が加わり、耐圧がさらに向上する。従って、同じ耐圧で良ければ、ゲート長を微細にできる。

## 【0027】

また、図3ではN型電界緩和層107の深さが $N^+$ 層152の深さより浅いが、N型電界緩和層107の深さは $N^+$ 層152より深くてもよい。また、N型電界緩和層107は単層構造で図3に示すが、ソース領域にある $N^-$ 層150に相当する層を付け加えて、ドレイン抵抗を $N^-$ 層分だけ下げても良い。

## 【0028】

さらに、実施例1と同様に、ソース領域105にパンチスルーストッパー層108を設ければ、空乏層のソース領域への広がりを抑制し、ゲート長をさらに微細にできる。なお、本実施例も実施例1と同様にP型チャネルMOS電界効果トランジスタにも適用できる。

## 【0029】

## [実施例3]

図4に本実施例のN型チャネルMOS電界効果トランジスタの断面図を示す。図4で図1と同じ符号は図1の同じ部分に対応する。

## 【0030】

本実施例は、実施例1のドレイン領域106の表面にボロンなどをドーピングしたP型不純物層109を加えたことが相違する。実施例1では、高濃度層 $N^+$ 層152をゲート絶縁膜102から離して、ドレイン電極に印加した電圧がゲート絶縁膜102に直接かからないようにしているが、デバイスに要求する耐圧を高くすると、側壁104分だけではゲート絶縁膜102に加わる電圧が大きすぎたり、またゲート絶縁膜102を厚くできない場合がある。本実施例では、ドレイン電極側のゲート絶縁膜102の電界緩和層107または高濃度 $N^+$ 層152の少なくとも一方の表面にP型不純物層109を設けて、空乏層を形成し、電界

を緩和し、ゲート絶縁膜 1 0 2 端部にかかる電圧を低く抑える。

#### 【 0 0 3 1 】

なお、本実施例を、実施例 2 の MOS 電界効果トランジスタに適用し、ドレイン領域 1 0 6 表面にドレイン領域とは反対の導電型の不純物層を形成しても同様の効果がある。本実施例は、伝導型を逆にすれば P 型チャネル MOS 電界効果トランジスタにも同様に適用できる。

#### 【 0 0 3 2 】

##### [ 実施例 4 ]

図 5 に本実施例の N 型チャネル MOS 電界効果トランジスタの断面図を示す。  
図 5 で図 1 ～図 4 と同符号は図 1 ～図 4 の同部分に対応する。

#### 【 0 0 3 3 】

本実施例の MOS 電界効果トランジスタは、N 型 W E L L 領域 1 0 1 上に、ゲートシリコン酸化膜(ゲート絶縁膜) 1 0 2 と、ゲート電極 1 0 3 と、側壁 1 0 4 と、ソース領域 1 0 5 と、ソース領域 1 0 5 に接する側壁 1 0 4 と反対側の側壁 1 0 4 に接する高濃度 P 型層 1 5 2 によるドレイン領域 1 0 6 とを有し、さらにゲートオーバーラップ構造の N 型不純物層によるパンチスルーストッパー層 1 0 8 と、ゲート絶縁膜 1 0 2 に接するゲートオーバーラップ構造の P 型不純物による電界緩和層 1 0 7 とを有し、ゲート絶縁膜 1 0 2 下の S i 基板表面にボロンなどでドーピングした P 型不純物層 1 1 0 を有する。

#### 【 0 0 3 4 】

リンをパンチスルーストッパーに用いた P 型チャネル MOS 電界効果トランジスタでは、パンチスルーストッパー層 1 0 8 を形成後、拡散工程でリンがゲート絶縁膜 1 0 2 と半導体基板との界面に偏析して、ゲート絶縁膜界面でのリン濃度が著しく上昇し、しきい値電圧が高くなる現象が現れる。そこで、本実施例のようにゲート電極に N 型のポリシリコン等を用いる場合には、半導体基板表面に P 型不純物を導入し、P 型チャネル MOS 電界効果トランジスタを、埋め込みチャネル型の MOS 電界効果トランジスタとすると、しきい値電圧も所望の値に調節できる。

#### 【 0 0 3 5 】

本実施例は、P型チャネルMOS電界効果トランジスタのゲート絶縁膜102下のSi基板表面にP型不純物層110を形成する場合を示したが、実施例2、実施例3で示したMOS電界効果トランジスタをP型チャネル型に置き換えた場合は、ゲート絶縁膜102下のSi基板表面の全部または一部にP型不純物層を形成して同様の効果が得られる。

## 【0036】

また本実施例を、N型チャネルMOS電界効果トランジスタに適用する際、表面にP型不純物層を導入してしきい値電圧を高くしたり、逆にN型不純物層を導入して見かけのP型層の表面濃度を低くし、しきい値電圧を下げるができる。

## 【0037】

## 〔実施例5〕

図6(a)から図6(f)に、実施例1のN型チャネルMOS電界効果トランジスタの製造工程を順に示す。まず、P型のSi基板、またはP型のSi基板、N型のSi基板の何れかに、ボロンイオンなどのP型不純物イオンを注入し、P型のWELL領域101を形成した後、図6(a)に示すようにホトレジスト201を堆積後、露光し所定の領域を開けた後、リンイオンや砒素イオンなどのN型不純物イオン200を注入してN型不純物層を形成して電界緩和層107として、その後ホトレジストを除去する。

## 【0038】

次に、図6(b)に示すようにホトレジスト203を堆積後、露光し所定の領域を窓を開けた後、ボロンイオンやBF<sub>2</sub>イオンなどのP型不純物イオン202を注入し、P型不純物層を形成してパンチスルーストッパー層108として、その後レジストを除去する。

## 【0039】

次に、図6(c)に示すようにゲートシリコン酸化膜102、ゲート電極103を形成する。

## 【0040】

次に、図6(d)に示すようにゲート電極103をマスクとして、リンなどの



N型不純物イオン204を注入し、N型不純物層151を形成する。

【0041】

このとき、図6（d）では最終的にソース領域になる部分のみにN型不純物イオン204が注入されるように示したが、基板全体、すなわちドレイン領域にもN型不純物イオン204によるN型不純物層が形成されるようにイオン注入を行ってもよい。

【0042】

次に、図6（e）に示すようにシリコン酸化膜などをCVD法などで堆積後、ドライエッチング法などによってエッチバックを行い、ドレイン電極側面にシリコン酸化膜による側壁104を形成する。

【0043】

次に図6（f）に示すように、砒素イオンなどのN型不純物イオン205を注入して、高濃度のN型不純物層150、152を形成する。

【0044】

次に図6（g）に示すように、層間絶縁膜10を堆積後、コンタクト穴を形成し、金属膜を堆積し、加工することで、ソース電極11、及びドレイン電極12を作製する。

【0045】

なお、ゲート電極と金属膜とのコンタクトは、図6（g）では記載していないが、図6（g）の奥ゆき方向のどこかで、1点以上のコンタクト穴を形成し、金属膜と結合して形成する。

【0046】

本実施例は、N型チャネルMOS電界効果トランジスタの製造方法を示したが、導電型を逆にすればP型チャネルMOS電界効果トランジスタも同様に製造できる。

【0047】

〔実施例6〕

図7（a）から図7（g）に、実施例1のN型チャネルMOS電界効果トランジスタの別の製造方法を示す。まず、図7（a）に示すように、P型のSi基板

101そのまま、またはP型またはN型のSi基板にボロンなどのP型不純物イオンを注入してP型のWELL領域101を形成し、ゲートシリコン酸化膜102、及びゲート電極103を形成する。

#### 【0048】

次に図7(b)に示すように、ホトレジスト201を堆積後、露光し、所定の領域に窓開けをし、例えばリンイオンや砒素イオンなどのN型不純物イオン200を入射角を $10^{\circ}$ 以上、好ましくは $0^{\circ} \sim 45^{\circ}$ にした斜めイオン注入法でSi基板中に入れ、ゲートシリコン酸化膜102の下までN型不純物層を入れて電界緩和層107を形成する。

#### 【0049】

次に図7(c)に示すようにホトレジスト203を堆積後、露光し、所定の領域に窓開けをした後、ボロンイオンや $\text{BF}_2$ イオンなどのP型不純物イオン202を入射角を $10^{\circ}$ 以上、好ましくは $0^{\circ} \sim 45^{\circ}$ にした斜めイオン注入法でSi基板中に入れ、ゲートシリコン酸化膜102の下までP型不純物層を入れてパンチスルーストップ層108を形成する。

#### 【0050】

ここで、図7(d)に示すようにリンイオンや砒素イオンなどのN型不純物イオン204をシリコン基板中に注入して、N型不純物層による $\text{N}^-$ 層151を形成する。このとき、図7(d)では最終的にソース領域になる部分のみにN型不純物イオン204を注入するように示しているが、基板全体、すなわちドレイン領域にもN型不純物イオン204によるN型不純物層が形成されるようにイオン注入を行ってもよい。

#### 【0051】

次に、図7(e)に示すようにCVD法などにより、シリコン酸化膜などを堆積後、ドライエッチング法などによりエッチバックして、ゲート電極側面にシリコン酸化膜による側壁104を形成する。

#### 【0052】

次に図7(f)に示すように砒素イオンなどのN型不純物イオン205を注入して、高濃度N型不純物層150、152を形成する。ここで、図7(g)に示

すように層間絶縁膜 1 0 を堆積後、コンタクト穴を形成し、金属膜を堆積し、加工して、ソース電極 1 1、及びドレイン電極 1 2 を形成する。なお、ゲート電極と金属膜とのコンタクトに関しては、実施例 5 と同様である。

#### 【 0 0 5 3 】

本実施例では、電界緩和層 1 0 7 及びパンチスルーストッパー層 1 0 8 の両方とも斜めイオン注入法を用いたが、耐圧とゲート長の関係から電界緩和層と  $N^+$  層の間の距離が斜めイオン注入法では実現できない場合は、電界緩和層のみを実施例 5 に示すようにゲート電極形成前にホトマスクで所定領域のみの穴開けを行い、イオン注入をし、ゲート電極を形成し、斜めイオン注入法でパンチスルーストッパー層を形成すればよい。また、逆に、パンチスルーストッパー層形成をゲート電極形成前に行い、ゲート電極形成後、電界緩和層を形成してもよい。

#### 【 0 0 5 4 】

本実施例では、N型チャネルMOS電界効果トランジスタの製造方法について示したが、P型チャネルMOS電界効果トランジスタについても、同様に製造できる。

#### 【 0 0 5 5 】

##### 〔実施例 7〕

図 8 ( a ) から図 8 ( e ) に実施例 1 に示すN型チャネルMOS電界効果トランジスタとP型チャネルMOS電界効果トランジスタとが混在する半導体装置の製造方法を示す。図 8 ( a ) に示すようにP型Si基板またはN型Si基板 1 0 1 中に、N型チャネルMOS電界効果トランジスタ形成領域には、ボロンイオンなどのP型不純物イオンを注入してP型のWELL領域 1 2 0 を、P型チャネルMOS電界効果トランジスタ形成領域には、リンイオンなどのN型不純物イオンを注入してN型のWELL領域 1 2 1 を形成した後、Si基板中に溝を掘り、絶縁膜で埋め込み、CMP法などで研磨して、いわゆるSTI (Shallow Trench Isolation) 構造を作る。次に、ゲート絶縁膜 1 0 2、ゲート電極 1 0 3 を形成する。

#### 【 0 0 5 6 】

次に、図 8 ( b ) に示すように実施例 6 と同様に、ホトレジストと斜めイオン

注入法を用いて、N型チャネルMOS電界効果トランジスタ形成領域には、P型のパンチスルーストッパー層108とN型の電界緩和層107をそれぞれゲートオーバーラップ構造で形成し、またP型チャネルMOS電界効果トランジスタ形成領域には、N型のパンチスルーストッパー層108とP型の電界緩和層107を形成する。

## 【0057】

次に、図8(c)に示すように絶縁膜を堆積し、ドライエッチング法などでエッチバックして、ゲート電極側面に絶縁膜による側壁104を形成する。

## 【0058】

次に、図8(d)に示すように、ゲート電極及び絶縁膜による側壁をマスクとして、N型チャネルMOS電界効果トランジスタ作成領域には、砒素イオンなどのN型不純物イオンを、またP型チャネルMOS電界効果トランジスタ作成領域には、ボロンイオンなどのP型不純物イオンを高濃度に注入して、ソース・ドレイン領域を形成し、N型チャネルMOS電界効果トランジスタとP型チャネルMOS電界効果トランジスタとを同じ基板に作製する。

## 【0059】

## 【実施例8】

図9は本実施例の、フラッシュメモリシステムのブロック配置図である。中心にメモリセル301が配置され、その周辺の斜線を引いた部分にメモリセルの消去、書き込みを実行する駆動回路300が配置される。この駆動回路部300に実施例1から実施例7のMOS電界効果トランジスタを用いる。実施例1から実施例7のMOS電界効果トランジスタは微細化が容易であるのでフラッシュメモリシステムのチップサイズを大幅に縮小できた。

## 【0060】

なお、本実施例ではメモリセル301の上部及び左脇に駆動回路300を配置しているが、メモリセルの周辺全部または周辺のどこか一部に駆動回路300を配置しても問題ないし、メモリセルの内部に配置してもよい。

## 【0061】

## 【発明の効果】

本発明のMOS電界効果トランジスタは、電界緩和層をドレイン領域側からゲート電極に対してオーバーラップさせ、パンチスルーストッパー層をソース領域側からゲート電極に対してオーバーラップさせ、さらに高濃度層をゲート絶縁膜に接しないようゲート絶縁膜から離したので、耐圧の向上とゲート長の微細化とが同時に可能になった。

【図面の簡単な説明】

【図 1】

実施例 1 のMOS電界効果トランジスタの断面図。

【図 2】

電界緩和層をゲート絶縁膜下に潜り込ませる効果を示した図。

【図 3】

実施例 2 のMOS電界効果トランジスタの断面図。

【図 4】

実施例 3 のMOS電界効果トランジスタの断面図。

【図 5】

実施例 4 のMOS電界効果トランジスタの断面図。

【図 6】

実施例 5 のMOS電界効果トランジスタの製造工程の説明図。

【図 7】

実施例 6 のMOS電界効果トランジスタの製造工程の説明図。

【図 8】

実施例 7 のMOS電界効果トランジスタの製造工程の説明図。

【図 9】

実施例 7 のフラッシュメモリシステムのブロック配置図。

【符号の説明】

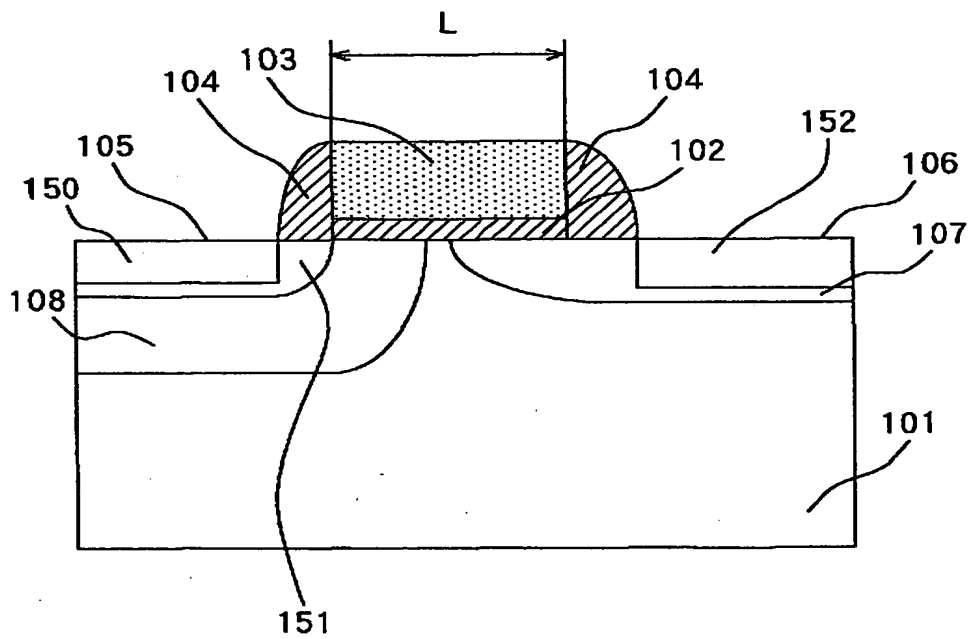
1 0 …層間絶縁膜、1 1 …ソース電極、1 2 …ドレイン電極、1 0 1 …Si基板(Si基板上に形成したNまたはP-WELL領域)、1 0 2 …ゲート絶縁膜、1 0 3 …ゲート電極、1 0 4 …絶縁膜による側壁、1 0 5 …ソース領域、1 0 6 …ドレイン領域、1 0 7 …電界緩和層、1 0 8 …パンチスルーストッパー層、

109, 110…P型不純物層、120…P-WELL領域、121…N-WELL  
領域、122…埋め込み絶縁膜、200, 204…リンイオン注入、201,  
203…ホトレジスト、202…ボロンイオン注入、205…砒素イオン注入。

【書類名】 図面

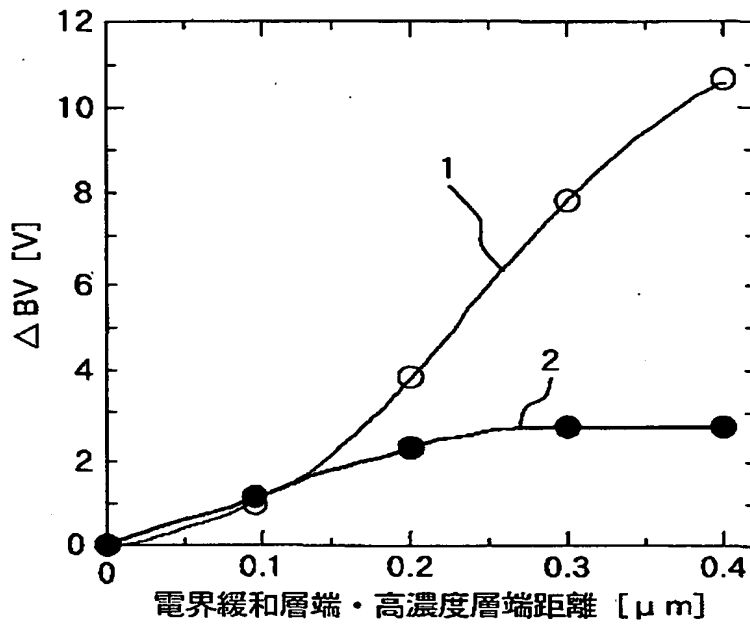
【図 1】

図 1



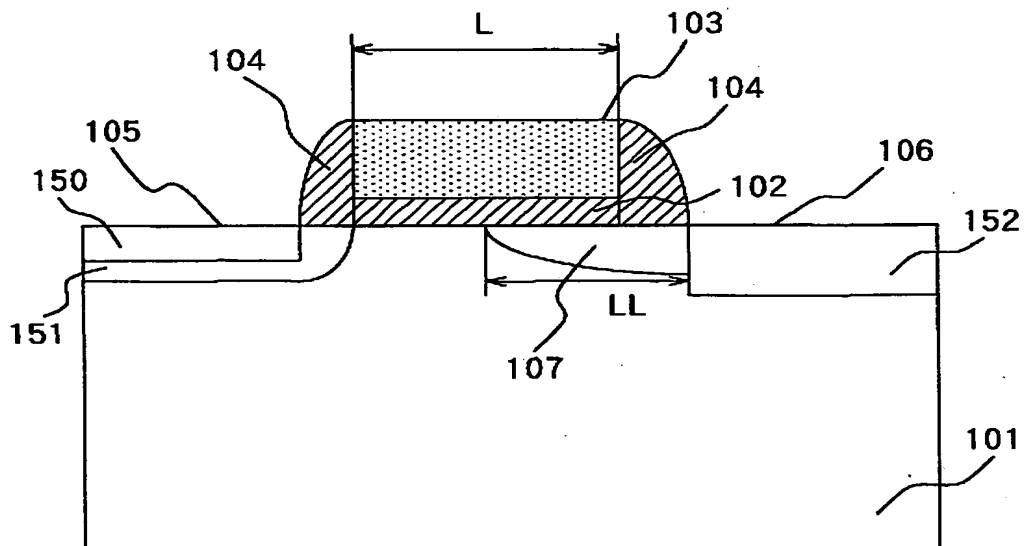
【図 2】

図 2



【図 3】

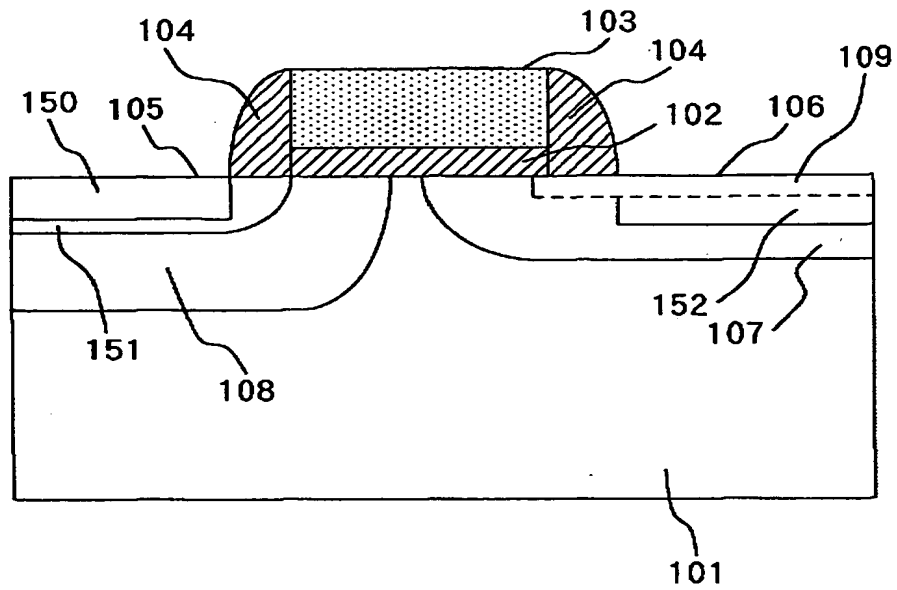
図 3





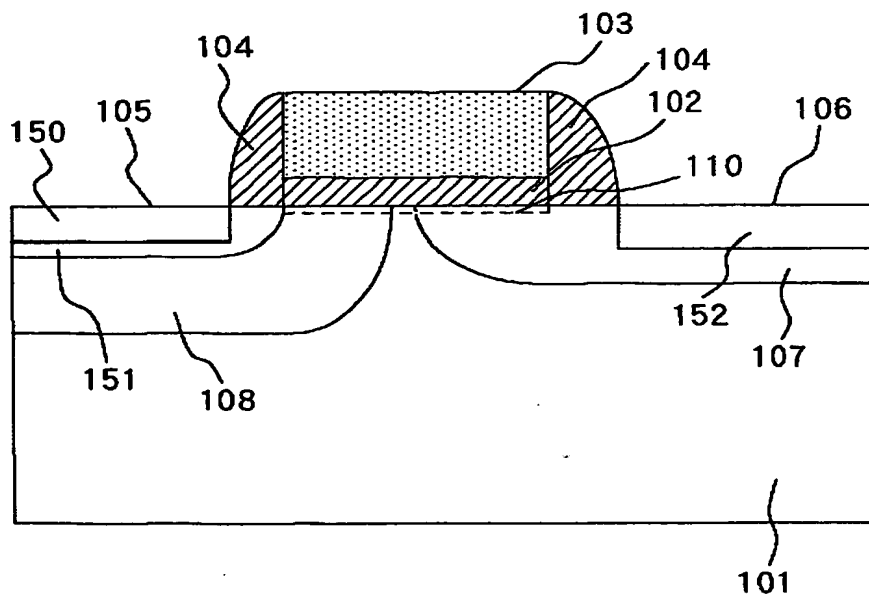
【図 4】

図 4



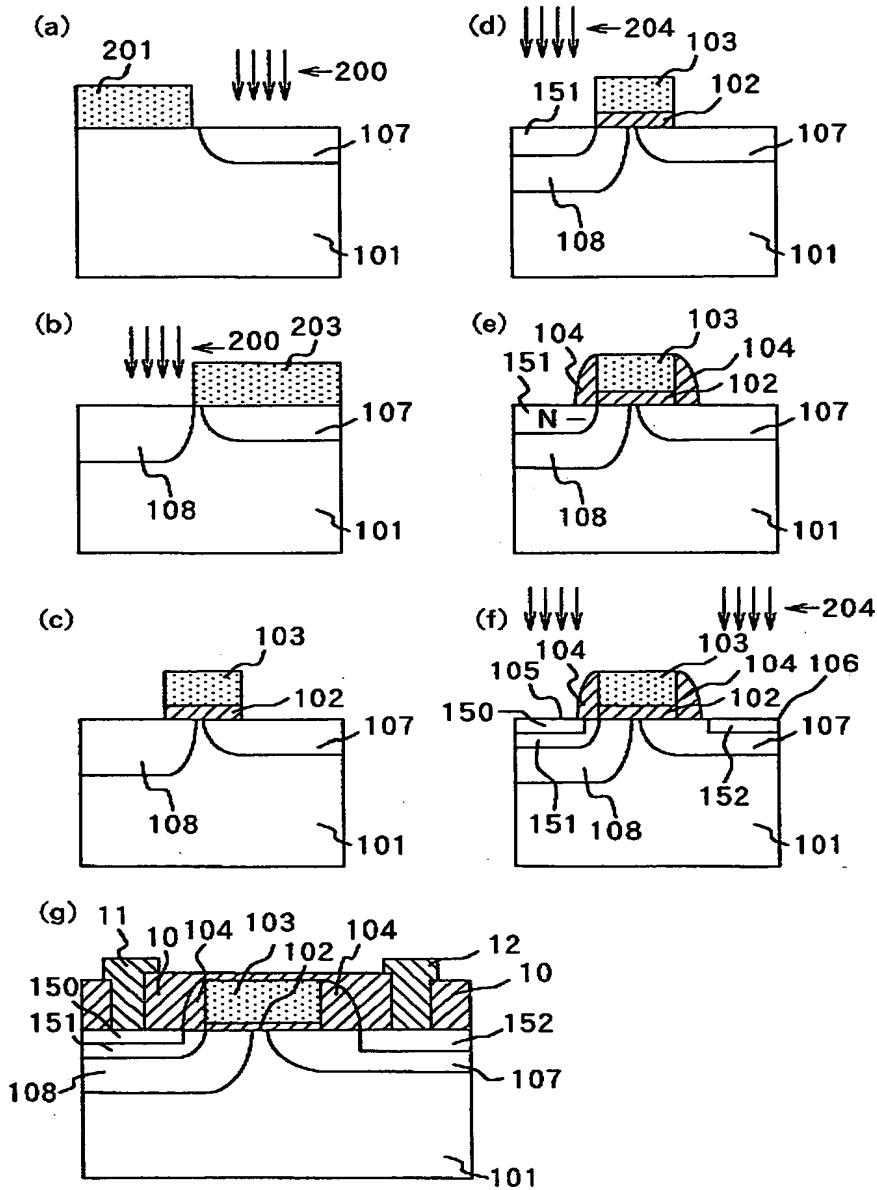
【図 5】

図 5



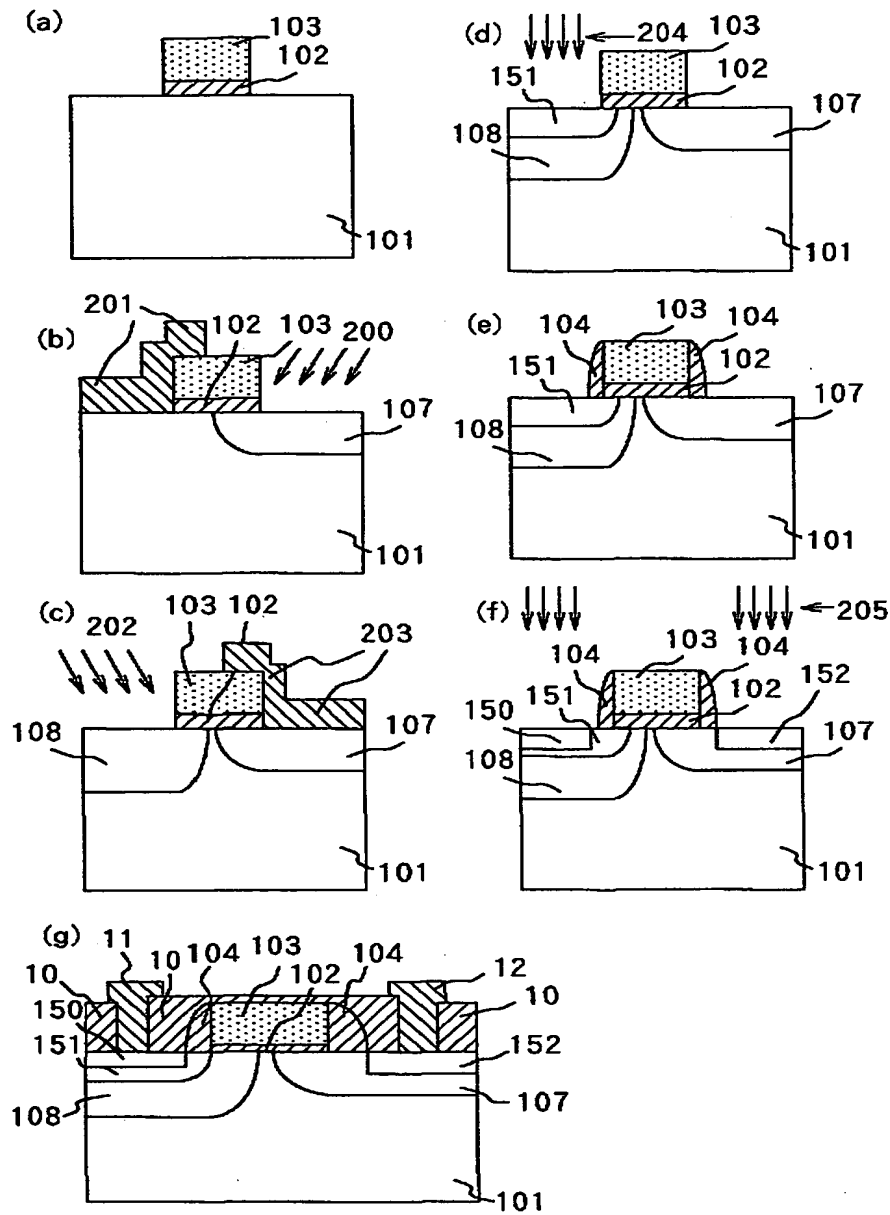
【図 6】

図 6



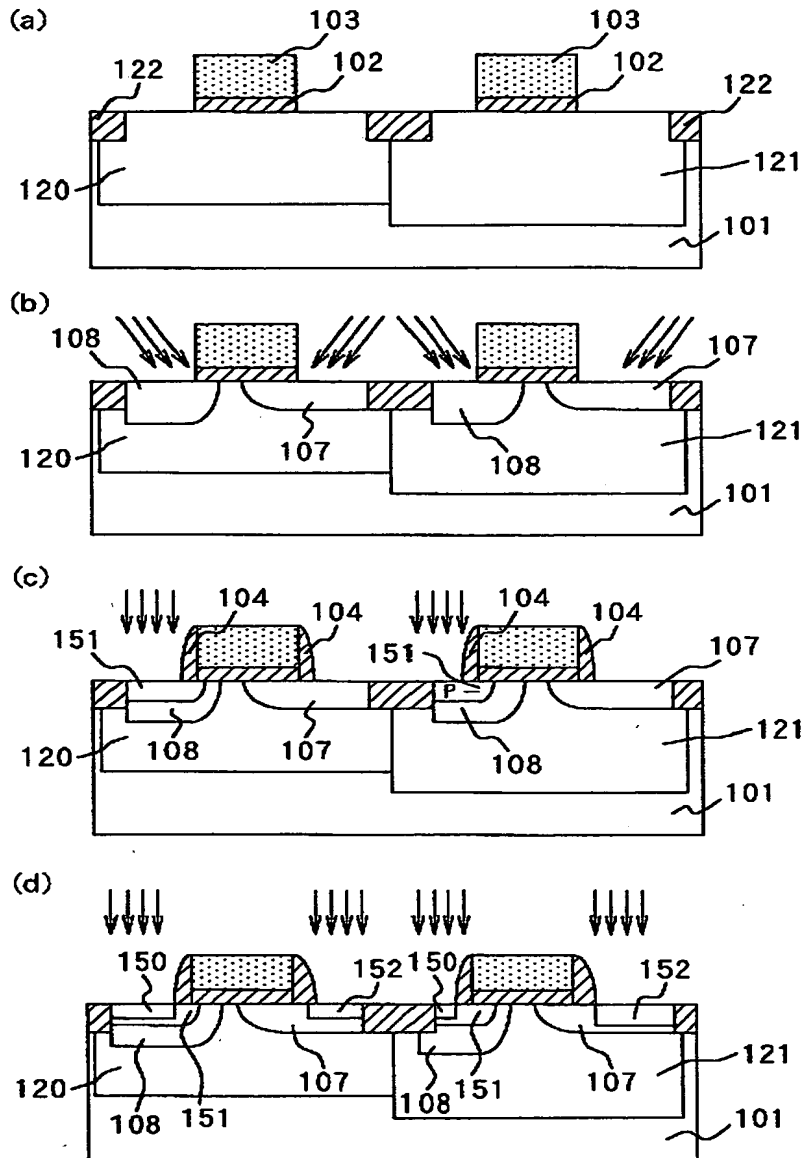
【図 7】

図 7



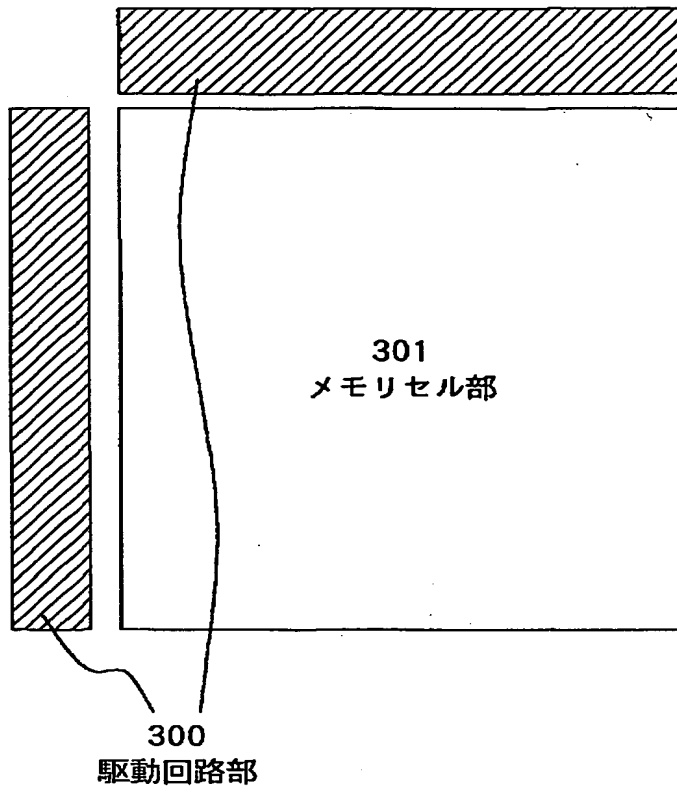
【図 8】

図 8



【図 9】

図 9



【書類名】 要約書

【要約】

【課題】

MOS電界効果トランジスタの耐圧を劣化させず微細化する。

【解決手段】

ドレイン領域に接して、ゲートオーバーラップ構造の電界緩和層を配置し、電界緩和層と高濃度層との間の距離を広げて電界を緩和するとともに、ゲート絶縁膜により等電位線が曲がるため電界がさらに緩和する。また、ソース領域に接して、ゲートオーバーラップ構造のパンチスルーストッパー層を配置し、空乏層のソース領域への広がりを抑制して、ゲート長の微細化を可能にする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2001-064318
受付番号	50100325726
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 3月 9日

<認定情報・付加情報>

【提出日】	平成13年 3月 8日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所